

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07302889 A

(43) Date of publication of application: 14.11.95

(51) Int. Cl H01L 27/12
 H01L 21/02
 H01L 21/20
 H01L 21/762
 H01L 23/12
 H01L 23/15

(21) Application number: 07045441
(22) Date of filing: 06.03.95
(30) Priority: 10.03.94 JP 06 39389

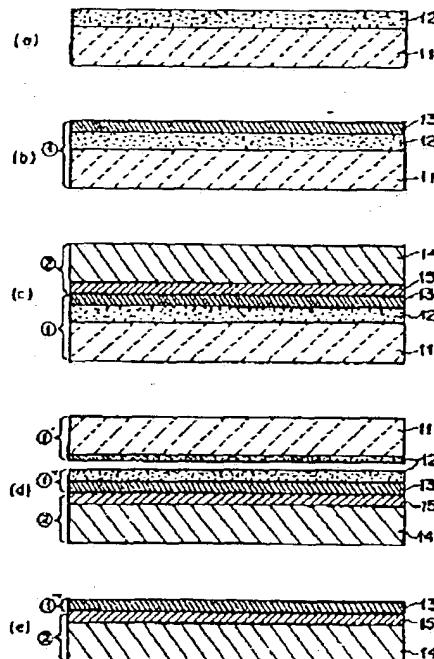
(71) Applicant: CANON INC
(72) Inventor: SAKAGUCHI KIYOBUMI
 YONEHARA TAKAO

(54) MANUFACTURE OF SEMICONDUCTOR
SUBSTRATE

(57) Abstract:

PURPOSE: To remarkably lessen the defects in the single crystalline layer on an insulator by sticking a second substrate onto the nonporous single crystalline semiconductor layer made on the porous layer of a first substrate, and then, separating these two substrate at the porous layer, and then, removing the second substrate and the porous layer on the first substrate.

CONSTITUTION: The surface layer of an Si single crystalline substrate 11 is made porous 12, and a nonporous single crystalline Si layer 13 is made hereon. Next, another Si supporting substrate 14 and the single crystalline Si layer 13 are stuck fast to each other through an insulating layer 15 at high temperature, and then those are stuck together by anode junction, pressurization, or heat treatment, or these combination. Next, the boards are separated at the porous Si layer 12. Furthermore, the porous Si layer 12 is removed selectively. That is, the single crystallized Si layer 13 in film shape is left on the insulating substrate 15+14 by etching only the porous Si layer 12 by electroless wet chemical etching. Alternatively, with the single crystalline Si layer 13 as a polishing stopper, the porous Si layer 12 is removed by selective polishing.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-302889

(43)公開日 平成7年(1995)11月14日

(51)Int.Cl.

識別記号 執内整理番号

F I

技術表示箇所

H 01 L 27/12
21/02
21/20

B
B

H 01 L 21/76
23/12

D
D

審査請求 未請求 請求項の数21 O.L. (全17頁) 最終頁に統く

(21)出願番号 特願平7-45441

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(22)出願日 平成7年(1995)3月6日

(72)発明者 坂口 清文

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(31)優先権主張番号 特願平6-39389

(72)発明者 米原 隆夫

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(32)優先日 平6(1994)3月10日

(74)代理人 弁理士 山下 積平

(33)優先権主張国 日本 (JP)

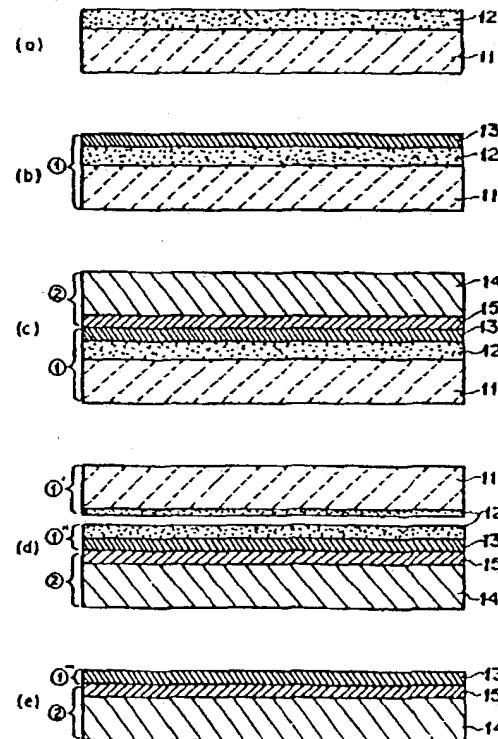
(54)【発明の名称】 半導体基板の作製方法

(57)【要約】

【目的】 光透過性基板等の絶縁性基板上に、結晶性が単結晶ウェハー並に優れたSiあるいは化合物半導体単結晶層を得るうえで、生産性、均一性、制御性、コストの面において卓越した半導体基板の作製方法を提案する。

【構成】 多孔質層12を有する第1の基体11の前記多孔質層12上に非多孔質単結晶半導体層13を形成する工程(a)、(b)、前記非多孔質単結晶半導体層13を第2の基体(14、15)と貼り合わせる工程

(c)、前記貼り合わせて構成された基体を前記多孔質層12において分離する工程(d)、前記分離された第2の基体(14、15、13)上に配された多孔質層12を除去する工程(e)、及び前記分離された第1の基体11を構成する多孔質層12を除去する工程を有することを特徴とする半導体基板の作製方法。



【特許請求の範囲】

【請求項 1】 多孔質層を有する第 1 の基体の前記多孔質層上に非多孔質単結晶半導体層を形成する工程、
前記非多孔質単結晶半導体層を第 2 の基体と貼り合わせる工程、
前記貼り合わせて構成された基体を前記多孔質層において分離する工程、
前記分離された第 2 の基体上に配された多孔質層を除去する工程、及び前記分離された第 1 の基体を構成する多孔質層を除去する工程を有することを特徴とする半導体 10 基板の作製方法。

【請求項 2】 多孔質層を有する第 1 の基体の前記多孔質層上に非多孔質単結晶半導体層を形成する工程、
前記非多孔質単結晶半導体層を第 2 の基体と絶縁層を介して貼り合わせる工程、
前記貼り合わせて構成された基体を前記多孔質層において分離する工程、
前記分離された第 2 の基体上に配された多孔質層を除去する工程、及び前記分離された第 1 の基体を構成する多孔質層を除去する工程を有することを特徴とする半導体 20 基板の作製方法。

【請求項 3】 前記多孔質層は、シリコンを用いて構成される請求項 1 あるいは請求項 2 に記載の半導体基板の作製方法。

【請求項 4】 前記分離された第 1 の基体を構成する多孔質層を除去して得られる基体に、新たに多孔質層を形成し、これを前記多孔質層を有する第 1 の基体として前記貼り合わせ工程以降の工程を行なう請求項 1 あるいは請求項 2 に記載の半導体基板の作製方法。

【請求項 5】 前記非多孔質単結晶半導体層は、S i 層 30 である請求項 1 あるいは 2 に記載の半導体基板の作製方法。

【請求項 6】 前記非多孔質単結晶半導体層は、化合物半導体層である請求項 1 あるいは 2 に記載の半導体基板の作製方法。

【請求項 7】 前記第 1 の基体は、S i を用いて構成される請求項 1 あるいは 2 に記載の半導体基板の作製方法。

【請求項 8】 前記第 2 の基体は、光透過性基体である請求項 1 あるいは 2 に記載の半導体基板の作製方法。 40

【請求項 9】 前記多孔質層の除去はエッチングを用いてなされる請求項 1 あるいは 2 に記載の半導体基板の作製方法。

【請求項 10】 前記多孔質層の除去は、前記多孔質層を前記非多孔質単結晶半導体層をストッパーとして選択的に研磨することによりなされる請求項 1 あるいは 2 に記載の半導体基板の作製方法。

【請求項 11】 前記多孔質層における分離は、貼り合わせた基体の貼り合わせ面に対して垂直な方向に加圧すること、前記面に垂直な方向に引っ張ること、該貼合 50

せ面に対して剪断応力をかけること、の少なくとも 1 つ以上的方法によって行われる請求項 1 あるいは 2 に記載の半導体基板の作製方法。

【請求項 12】 前記絶縁層は、前記非多孔質単結晶層上、前記第 2 の基体の表面上の少なくとも一方に形成する請求項 2 に記載の半導体基板の作製方法。

【請求項 13】 前記絶縁層は、熱酸化膜、堆積 S i O₂ 膜、堆積 S i₃ N₄ 膜の中から選ばれる請求項 12 に記載の半導体基板の作製方法。

【請求項 14】 前記貼り合わせ工程は、陽極接合、加圧、熱処理、あるいはこれらの組み合わせの中から選ばれた方法により行われる請求項 1 又は 2 に記載の半導体基板の作製方法。

【請求項 15】 前記多孔質層は、陽極化成を用いて形成される請求項 1 又は 2 記載の半導体基板の作製方法。

【請求項 16】 前記陽極化成は、H F 溶液中で行われる請求項 15 に記載の半導体基板の作製方法。

【請求項 17】 前記多孔質層における分離は、該多孔質層に波動エネルギーを印加することにより行われる請求項 1 あるいは 2 に記載の半導体基板の作製方法。

【請求項 18】 前記多孔質層における分離は、該多孔質層側面から剥離用部材を挿入することにより行われる請求項 1 あるいは 2 に記載の半導体基板の作製方法。

【請求項 19】 前記多孔質層における分離は、該多孔質層に染み込ませた物質の膨張エネルギーにより行われる請求項 1 あるいは 2 に記載の半導体基板の作製方法。

【請求項 20】 前記多孔質層における分離は、ウエハ側面の該多孔質層に対する選択エッチングにより行われる請求項 1 あるいは 2 に記載の半導体基板の作製方法。

【請求項 21】 前記多孔質層の多孔度は、10 ~ 80 % の範囲にある請求項 1 あるいは 2 に記載の半導体基板の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体基板の作製方法に関する。更に詳しくは、誘電体分離あるいは、絶縁物上の単結晶半導体、半導体基板上の単結晶化合物半導体の作製方法、さらに単結晶半導体層に作成される電子デバイス、集積回路に適する半導体基板の作製方法に関するものである。

【0002】

【従来の技術】 絶縁物上の単結晶 S i 半導体層の形成は、シリコン オン インシュレーター (S O I) 技術として広く知られ、通常の S i 集積回路を作製するバルク S i 基板では到達しえない数々の優位点を S O I 技術を利用したデバイスが有することから多くの研究が成されてきた。すなわち、S O I 技術を利用することで、

1. 誘電体分離が容易に高集積化が可能、
2. 対放射線耐性に優れている、
3. 浮遊容量が低減され高速化が可能、

4. ウェル工程が省略できる、
5. ラッチアップを防止できる、
6. 薄膜化による完全空乏型電界効果トランジスタが可能、等の優位点が得られる。

【0003】上記したようなデバイス特性上の多くの利点を実現するために、ここ数十年に渡り、SOI構造の形成方法について研究されてきている。この内容は、例えば以下の文献にまとめられている。

【0004】Special Issue: "Single-crystal silicon on non-single-crystal insulators"; edited by G. W. Cullen, Journal of Crystal Growth, volume 63, no 3, pp 429~590 (1983). また、古くは、単結晶サファイア基板上に、SiをCVD(化学気相法)で、ヘテロエピタキシーさせて形成するSOS(シリコン オン サファイア)が知られており、最も成熟したSOI技術として一応の成功は収めはしたが、Si層と下地サファイア基板界面の格子不整合により大量の結晶欠陥、サファイア基板から20のアルミニウムのSi層への混入、そして何よりも基板の高価格と大面積化への遅れにより、その応用の広がりが妨げられている。比較的近年には、サファイア基板を使用せずにSOI構造を実現しようという試みが行なわれている。この試みは、次の二つに大別される。

【0005】1. Si単結晶基板を表面酸化後に、窓を開けてSi基板を部分的に表出させ、その部分をシードとして横方向へエピタキシャル成長させ、SiO₂上へSi単結晶層を形成する。(この場合には、SiO₂上にSi層の堆積をともなう。)

2. Si単結晶基板そのものを活性層として使用し、その下部にSiO₂を形成する。(この方法は、Si層の堆積をともなわない。) また、化合物半導体上のデバイスはSiでは得られない高い性能、たとえば、高速、発光など、を持っている。現在は、これらのデバイスはほとんどGaAs等の化合物半導体基板上にエピタキシャル成長をしてその中に作り込まれている。

【0006】しかし、化合物半導体基板は、高価で、機械的強度が低く、大面積ウェハは作成が困難などの問題点がある。

【0007】このようなことから、安価で、機械的強度も高く、大面積ウェハが作製できるSiウェハ上に、化合物半導体をヘテロエピタキシャル成長させる試みがなされている。

【0008】

【発明が解決しようとしている課題】上記1を実現する手段として、CVDにより、直接、単結晶層Siを横方向エピタキシャル成長させる方法、非晶質Siを堆積して、熱処理により固相横方向エピタキシャル成長させる方法、非晶質あるいは、多結晶Si層に電子線、レーザ

一光等のエネルギーを収束して照射し、溶融再結晶により単結晶層をSiO₂上に成長させる方法、そして、棒状ヒーターにより帯状に溶融領域を走査する方法(Zone Melting Recrystallization)が知られている。これらの方にはそれぞれ一長一短があるが、その制御性、生産性、均一性、品質に多大の問題を残しており、いまだに、工業的に実用化したものはない。たとえば、CVD法は平坦薄膜化するには、犠牲酸化が必要となり、固相成長法ではその結晶性が悪い。また、ビームアーナーでは、収束ビーム走査による処理時間と、ビームの重なり具合、焦点調整などの制御性に問題がある。このうち、Zone Melting Recrystallization法がもっとも成熟しており、比較的大規模な集積回路も試作されてはいるが、依然として、亜粒界等の結晶欠陥は、多数残留しており、少数キャリヤーデバイスを作成するにいたってない。

【0009】上記2の方法であるSi基板をエピタキシャル成長の種子として用いない方法に於いては、次の4種類の方法が挙げられる。

【0010】1. V型の溝が表面に異方性エッティングされたSi単結晶基板に酸化膜を形成し、該酸化膜上に多結晶Si層をSi基板と同じ程厚く堆積した後、Si基板の裏面から研磨によって、厚い多結晶Si層上にV溝に囲まれて誘電分離されたSi単結晶領域を形成する。この手法に於ては、結晶性は、良好であるが、多結晶Siを数百ミクロンも厚く堆積する工程、単結晶Si基板を裏面より研磨して分離したSi活性層のみを残す工程に、制御性と生産性の点から問題がある。

【0011】2. サイモックス(SIMOX: Separation by ion implanted oxygen)と称されるSi単結晶基板中に酸素のイオン注入によりSiO₂層を形成する方法であり、Siプロセスと整合性が良いため現在もっとも成熟した手法である。しかしながら、SiO₂層を形成するためには、酸素イオンを10¹⁸ ions/cm²以上も注入する必要があるが、その注入時間は長大であり、生産性は高いとはいはず、また、ウェハコストは高い。更に、結晶欠陥は多く残存し、工業的に見て、少数キャリヤーデバイスを作製できる充分な品質に至っていない。

【0012】3. 多孔質Siの酸化による誘電体分離によりSOI構造を形成する方法。この方法は、P型Si単結晶基板表面にN型Si層をプロトンイオン注入、(イマイ他, J. Crystal Growth, vol 63, 547 (1983)), もしくは、エピタキシャル成長とバーニングによって島状に形成し、表面よりSi島を囲むようにHF溶液中の陽極化成法によりP型Si基板のみを多孔質化したのち、増速酸化によりN型Si島を誘電体分離する方法である。本方法では、分離されているSi領域は、デバイス工程のまえに決定

されており、デバイス設計の自由度を制限する場合があるという問題点がある。

【0013】また、上記のような従来のSOIの形成方法とは別に、近年、Si単結晶基板を、熱酸化した別のSi単結晶基板に、熱処理又は接着剤を用いて張り合せ、SOI構造を形成する方法が注目を浴びている。この方法は、デバイスのための活性層を均一に薄膜化する必要がある。すなわち、数百ミクロンもの厚さのSi単結晶基板をミクロンオーダーかそれ以下に薄膜化する必要がある。この薄膜化には以下のように2種類の方法がある。
10

【0014】1. 研磨による薄膜化

2. 選択エッチングによる薄膜化

1の研磨では均一に薄膜化することが困難である。特にサブミクロンの薄膜化は、ばらつきが数十%にもなってしまい、この均一化は大きな問題となっている。さらにウェハの大口径化が進めばその困難度は増すばかりである。

【0015】また、2のエッチングは均一な薄膜化に有效とされているが、

- ・せいぜい 10^2 と選択比が充分でない
- ・エッチング後の表面性が悪い
- ・イオン注入、高濃度BドープSi層上のエピタキシャル成長あるいはヘテロエピタキシャル成長を用いているためSOI層の結晶性が悪い等の問題点がある(C. Harendt, et al., J. Elect. Mater. Vol. 20, 267 (1991)、H. Baumgart, et al., Extended Abstract of ECS 1st International Symposium of Wafer Bonding, pp-733 (1991)、C. E. Hunt, Extended Abstract of ECS 1st International Symposium of Wafer Bonding, pp-696 (1991))。

【0016】さらに貼り合わせを用いた半導体基板は、必ず2枚のウェハを必要とし、そのうち1枚はほとんど大部分が研磨・エッチング等により無駄に除去され捨てられてしまい、限りある地球の資源を無駄使いしてしまう。

【0017】したがって、貼り合わせによるSOIにおいては、現状の方法では、その制御性、均一性さらには経済性に多くの問題点が存在する。

【0018】また、ガラスに代表される光透過性基板上には、一般には、その結晶構造の無秩序性から、堆積した薄膜Si層は、基板の無秩序性を反映して、非晶質か、良くて多結晶層にしかならず、高性能なデバイスは作製できない。それは、基板の結晶構造が非晶質であることによっており、単に、Si層を堆積しても、良質な単結晶層は得られない。

【0019】ところで、光透過性基板は、光受光素子であるコンタクトセンサーや投影型液晶画像表示装置を構成するうえにおいて重要である。そして、センサーや表示装置の画素(絵素)をより一層、高密度化、高解像度化、高精密化するには、高性能な駆動素子が必要となる。その結果、光透過性基板上に設けられている素子としても優れた結晶性を有する単結晶層を用いて作製することが必要となる。

【0020】したがって、非晶質Siや多結晶Siでは、その欠陥の多い結晶構造ゆえに要求されるあるいは今後要求されるに十分な性能を持った駆動素子を作製することが難しい。

【0021】上で述べたように、化合物半導体のデバイス作製には化合物半導体の基板が必要不可欠となっている。しかし、化合物半導体の基板は高価で、しかも、大面积化が非常に困難である。

【0022】さらに、Si基板上にGaAs等の化合物半導体をエピタキシャル成長させることが試みられているが、格子定数や熱膨張係数の違いにより、その成長膜は結晶性が悪く、デバイスに応用することは非常に困難となっている。
20

【0023】また、格子のミスマッチを緩和するため多孔質Si上に化合物半導体をエピタキシャル成長させることが試みられているが、多孔質Siの熱安定性の低さ、経時変化等によりデバイスを作製中あるいは、作製した後の基板としての安定性、信頼性に欠ける。

【0024】こうしたなか、本発明の発明者である米原隆夫は、上述した課題点に鑑み、先に特開平5-21338号公報に開示された新規な半導体部材の製造方法を提案した。
30

【0025】当該公報に開示された方法は、次のとおりのものである。即ち、多孔質単結晶半導体領域上に非多孔質単結晶半導体領域を配した部材を形成し、前記非多孔質単結晶半導体領域の表面に、表面が絶縁性物質で構成された部材の表面を貼り合わせた後、前記多孔質単結晶半導体領域をエッチングにより除去することを特徴とする半導体部材の製造方法である。

【0026】当該方法は、上述した課題を解決し得る優れたものである。しかしながら、当該公報に開示された方法を更に発展させて半導体基板の生産性の向上、低コスト化が更に図れば、当該技術分野に係る産業への寄与は極めて大きなものとなる。
40

【0027】【発明の目的】本発明は、上述の公報に開示された方法を、更に改善した半導体基板の作製方法を提供することを目的とする。

【0028】本発明の別の目的は、経済性に優れて、大面积に渡り均一平坦な、極めて優れた結晶性を有する単結晶基板を用いて、表面に形成された半導体層あるいは化合物半導体活性層を残して、その片面から該活性層までを取り去り、絶縁物上に欠陥の著しく少ない単結晶層
50

あるいは化合物半導体結晶層を得る半導体基板の作製方法を提供することにある。

【0029】本発明の更に別の目的は、透明基板（光透過性基板）上に結晶性が単結晶ウェハー並に優れたSiあるいは化合物半導体単結晶層を得るうえで、生産性、均一性、制御性、コストの面において卓越した半導体基板の作製方法を提案することにある。

【0030】本発明の更に別の目的は、SOI構造の大規模集積回路を作製する際にも、高価なSOSや、Si MOXの代替足り得る半導体基板の作製方法を提案することにある。 10

【0031】

【課題を解決するための手段】本発明の半導体基板の作製方法は、下述する構成のものである。

【0032】即ち、本発明の半導体基板の作製方法の第1の態様は、多孔質層を有する第1の基体の前記多孔質層上に非多孔質単結晶半導体層を形成する工程、前記非多孔質単結晶半導体層を第2の基体と貼り合わせる工程、前記貼り合わせて構成された基体を前記多孔質層において分離する工程、前記分離された第2の基体上に配された多孔質層を除去する工程、及び前記分離された第1の基体を構成する多孔質層を除去する工程を有することを特徴とするものである。 20

【0033】本発明の第2の態様は、多孔質層を有する第1の基体の前記多孔質層上に非多孔質単結晶半導体層を形成する工程、前記非多孔質単結晶半導体層を第2の基体と絶縁層を介して貼り合わせる工程、前記貼り合わせて構成された基体を前記多孔質層において分離する工程、前記分離された第2の基体上に配された多孔質層を除去する工程、及び前記分離された第1の基体を構成する多孔質層を除去する工程を有することを特徴とするものである。 30

【0034】

【作用】本発明においては、貼り合わせて構成された基体を多孔質層で分離し、非多孔質単結晶半導体層が配された第2の基体上の多孔質層を除去することにより、高品質な非多孔質単結晶半導体層が配された半導体基体を形成できる。これに加えて、貼り合わせて構成された基体を多孔質層で分離し、第1の基体を構成する多孔質層を除去することにより、多孔質層を除去した第1の基体を半導体基体作製に再利用することができる。これにより、半導体基体の生産性の向上、低コスト化が更に図れる。 40

【0035】本発明によれば、透明基板（光透過性基板）をはじめとする基板上に結晶性が単結晶ウェハー並に優れたSi等の単結晶層あるいは化合物半導体単結晶層を得るうえで、生産性、均一性、制御性、コストの面において卓越した半導体基板の作製方法を提案することができる。

【0036】また、本発明によれば、SOI構造の大規 50

模集積回路を作製する際にも、高価なSOSや、SiM OXの代替足り得る半導体基板の作製方法を提案することができる。

【0037】本発明においては、多孔質層を介して基体を2つ以上に分離することができ、分離後の方の基体は、残留多孔質を除去した後、半導体基板として使用可能であり、他方の基体は、残留多孔質を除去した後、再度、半導体基板の作製に利用することができる。

【0038】本発明においては、基体の両面に多孔質層および非多孔質単結晶層を形成し、該単結晶層を挟むように2枚の別の基体を貼り合わせた後、前記多孔質層で基体を分離することにより同時に2枚の半導体基板を作製することができる。

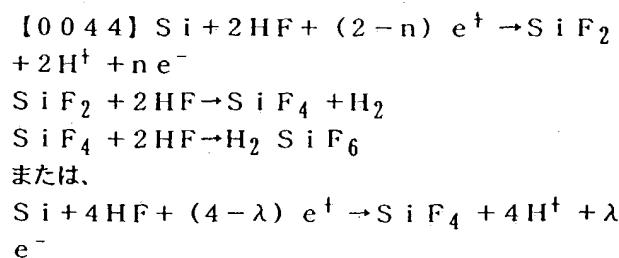
【0039】本発明の半導体基板の作製方法をシリコンを例に挙げて以下に詳細に説明する。

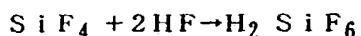
【0040】多孔質Siの機械的強度はporosityにより異なるが、バルクSiよりも十分に弱いと考えられる。たとえば、porosityが50%であれば機械的強度はバルクの半分と考えて良い。すなわち、貼り合わせウェハに圧縮、引っ張りあるいは剪断力をかけると、まず多孔質Si層が破壊されることになる。また、porosityを増加させればより弱い力で多孔質層を破壊できる。

【0041】Si基板はHF溶液を用いた陽極化成法によって多孔質化させることができる。この多孔質Si層は、単結晶Siの密度 2.33 g/cm^3 に比べて、HF溶液濃度を50~20%に変化させることでその密度を $1.1 \sim 0.6\text{ g/cm}^3$ の範囲に変化させることができる。この多孔質層は、下記の理由により、N型Si層には形成されず、P型Si基板のみに形成される。この多孔質Si層は、透過電子顕微鏡による観察によれば、平均約600オングストローム程度の径の孔が形成される。

【0042】多孔質Siは、Uhlir等によって1956年に半導体の電解研磨の研究過程において発見された(A. Uhlir, Bell Syst. Tech. J., vol. 35, 333 (1956))。

【0043】また、ウナガミ等は陽極化成におけるSiの溶解反応を研究し、HF溶液中のSiの陽極反応には正孔が必要であり、その反応は、次のようにあると報告している(T. ウナガミ, J. Electrochem. Soc., vol. 127, 476 (1980))。





ここで、 e^+ および e^- はそれぞれ正孔と電子を表している。また、n および λ はそれぞれ Si 原子が溶解するに必要な正孔の数であり、 $n > 2$ または $\lambda > 4$ なる条件が満たされる場合に多孔質 Si が形成されるとしている。

【0045】以上のことから、正孔の存在する P 型 Si は多孔質化されるが、N 型 Si は多孔質化されない。この多孔質化における選択性は長野等および今井によって実証されている（長野、中島、安野、大中、梶原、電子通信学会技術研究報告、vol. 79, SSD 79-9 549 (1979)）、(K. Imai, Solid-State Electronics, vol. 24, 159 (1981))。

【0046】しかし、高濃度 N 型 Si であれば多孔質化されるとの報告もあり (R. P. Holmstrom and J. Y. Chi, Appl. Phys. Lett., vol. 42, 386 (1983))、P 型、N 型の別にこだわらず、多孔質化を実現できる基板を選ぶことが重要である。

【0047】多孔質 Si 層には、透過電子顕微鏡による観察によれば、平均約 600 オングストローム程度の径の孔が形成されており、その密度は単結晶 Si に比べると、半分以下になるにもかかわらず、単結晶性は維持されており、多孔質層の上部へ単結晶 Si 層をエピタキシャル成長させることも可能である。ただし、1000°C 以上では、内部の孔の再配列が起こり、増速エッチングの特性が損なわれる。このため、Si 層のエピタキシャル成長には、分子線エピタキシャル成長、プラズマ CVD、減圧 CVD 法、光 CVD、バイアス・スパッター法、液相成長法等の低温成長が好適とされている。

【0048】また、多孔質層はその内部に大量の空隙が形成されている為に、密度が半分以下に減少する。その結果、体積に比べて表面積が飛躍的に増大するため、その化学エッチング速度は、通常の単結晶層のエッチング速度に比べて、著しく増速される。

【0049】【実施態様例 1】図 1 (a) に示すように、まず第 1 の Si 単結晶基板 11 を用意して、その表面層を多孔質化 12 し、多孔質 Si 12 上に非多孔質單結晶 Si 層 13 を形成する (図 1 (b))。

【0050】次に、図 1 (c) に示すように、もう一方の Si 支持基板 14 と単結晶 Si 層 13 を絶縁層 15 を介して室温で密着させた後、陽極接合、加圧、あるいは熱処理、あるいはこれらの組み合わせにより貼り合わせる。これにより、Si 支持基板 14 と単結晶層 13 とは絶縁層 15 を介して強固に結合する。絶縁層 15 は単結晶 Si 層上、Si 支持基板 14 上の少なくとも一方に形成する、あるいは絶縁性の薄板をはさみ 3 枚重ねで貼り合わせる。

【0051】次に、多孔質 Si 層 12 で基板を分離する

(図 1 (d))。Si 支持基板側は、多孔質 Si 12 / 単結晶 Si 層 13 / 絶縁層 15 / Si 支持基板 14 のような構造となる。

【0052】さらに、多孔質 Si 12 を選択的に除去する。通常の Si のエッチング液、あるいは多孔質 Si の選択エッチング液である弗酸、あるいは弗酸にアルコールおよび過酸化水素水の少なくともどちらか一方を添加した混合液、あるいは、バッファード弗酸あるいはバッファード弗酸にアルコールおよび過酸化水素水の少なくともどちらか一方を添加した混合液の少なくとも 1 種類を用いて、多孔質 Si 12 のみを無電解湿式化学エッチングして絶縁性基板 15 + 14 上に薄膜化した単結晶 Si 層 13 を残存させ形成する。上記詳述したように、多孔質 Si の膨大な表面積により通常の Si のエッチング液でも選択的に多孔質 Si のみをエッチングすることが可能である。

【0053】あるいは、単結晶 Si 層 13 を研磨ストップバーとして多孔質 Si 12 を選択研磨で除去する。

【0054】図 1 (e) には、本発明で得られる半導体基板が示される。絶縁性基板 15 + 14 上に単結晶 Si 層 13 が平坦に、しかも均一に薄層化されて、ウェハ全域に、大面积に形成される。こうして得られた半導体基板は、絶縁分離された電子素子作製という点から見ても好適に使用することができる。

【0055】第 1 の Si 単結晶基板 11 は、残留多孔質 Si を除去して、表面平坦性が許容できないほど荒れている場合には、表面平坦化を行なった後、再度第 1 の Si 単結晶基板 11 として使用する。

【0056】本発明において、多孔質 Si 層で 2 つの基体を分離する方法としては、貼り合わせた基体の両側より加圧して多孔質層を押しつぶす方法、それぞれの基体を両側に引き、両者を分離する方法、多孔質層に治具をそう入する方法、貼り合わせた基体の表面に平行な方向に力を加える方法、多孔層に超音波振動を加える方法等が採用できる。

【0057】本発明において、分離に適した多孔質 Si 層の多孔度 (porosity) は、一般的には 10 ~ 80% の範囲であり、より好ましくは、20 ~ 60% の範囲である。

【0058】【実施態様例 2】図 2 (a) に示すように、まず第 1 の Si 単結晶基板 21 を用意して、その表面層を多孔質化 22 し、多孔質 Si 22 上に非多孔質單結晶 Si 層 23 を形成する (図 2 (b))。

【0059】次に、図 2 (c) に示すように、石英やガラスに代表される光透過性支持基板 24 と単結晶 Si 層 23 を絶縁層 25 を介して室温で密着させた後、陽極接合、加圧、あるいは熱処理、あるいはこれらの組み合わせにより貼り合わせる。これにより、光透過性支持基板 24 と単結晶層 23 とは絶縁層 25 を介して強固に結合する。絶縁層 25 は単結晶 Si 層上、光透過性支持基

板24上の少なくとも一方に形成する、あるいは絶縁性の薄板をはさみ3枚重ねで貼り合わせる。

【0060】次に、多孔質Si層23で基板を分割する(図2(d))。光透過性支持基板側は、多孔質Si22/単結晶Si層23/絶縁層25/光透過性支持基板24のような構造となる。

【0061】さらに、多孔質Si22を選択的に除去する。通常のSiのエッティング液、あるいは多孔質Siの選択エッティング液である弗酸、あるいは弗酸にアルコールおよび過酸化水素水の少なくともどちらか一方を添加した混合液、あるいは、バッファード弗酸あるいはバッファード弗酸にアルコールおよび過酸化水素水の少なくともどちらか一方を添加した混合液の少なくとも1種類を用いて、多孔質Si22のみを無電解湿式化学エッティングして光透過性絶縁性基板25+24上に薄膜化した単結晶Si層23を残存させ形成する。上記詳述したように、多孔質Siの膨大な表面積により通常のSiのエッティング液でも選択的に多孔質Siのみをエッティングすることが可能である。

【0062】あるいは、単結晶Si層23を研磨ストップバーとして多孔質Si22を選別研磨で除去する。

【0063】図2(e)には、本発明で得られる半導体基板が示される。光透過性絶縁性基体25+24上に単結晶Si層23が平坦に、しかも均一に薄層化されて、ウェハ全域に、大面積に形成される。こうして得られた半導体基板は、絶縁分離された電子素子作製という点から見ても好適に使用することができる。

【0064】絶縁介在層25はなくても良い。

【0065】第1のSi単結晶基板21は、残留多孔質Siを除去して、表面平坦性が許容できないほど荒れている場合には、表面平坦化を行なった後、再度第1のSi単結晶基板21として使用できる。

【0066】[実施態様例3]図3(a)に示すように、まず第1のSi単結晶基板31を用意して、その表面層を多孔質化32し、多孔質Si32上に非多孔質単結晶化合物半導体層33を形成する(図3(b))。

【0067】次に、図3(c)に示すように、もう一方のSi支持基板34と単結晶化合物半導体層33とを絶縁層35を介して室温で密着させた後、陽極接合、加圧、あるいは熱処理、あるいはこれらの組み合わせにより貼り合わせる。これにより、Si支持基板34と単結晶層33とは絶縁層35を介して強固に結合する。絶縁層35は単結晶化合物半導体層上、Si支持基板34上の少なくとも一方に形成する、あるいは絶縁性の薄板をはさみ3枚重ねで貼り合わせる。

【0068】次に、多孔質Si層32で基板を分割する(図3(d))。Si支持基板側は、多孔質Si32/単結晶化合物半導体層33/絶縁層35/Si支持基板34のような構造となる。

【0069】さらに、多孔質Si32を選択的に除去す

る。化合物半導体に対してSiのエッティング速度の早いエッティング液を用いて、多孔質Si32のみを化学エッティングして絶縁性基板35+34上に薄膜化した単結晶化合物半導体層33を残存させ形成する。

【0070】あるいは、単結晶化合物半導体層33を研磨ストップバーとして多孔質Si32を選択研磨で除去する。

【0071】図3(e)には、本発明で得られる半導体基板が示される。絶縁性基板35+34上に単結晶化合物半導体層33が平坦に、しかも均一に薄層化されて、ウェハ全域に、大面積に形成される。こうして得られた半導体基板は、化合物半導体基板として、さらには絶縁分離された電子素子作製という点から見ても好適に使用することができる。

【0072】化合物半導体基板として用いる場合には絶縁層35はなくても良い。

【0073】第1のSi単結晶基板31は、残留多孔質Siを除去して、表面平坦性が許容できないほど荒れている場合には、表面平坦化を行なった後、再度第1のSi単結晶基板31として使用できる。

【0074】[実施態様例4]図4(a)に示すように、まず第1のSi単結晶基板41を用意して、その表面層を多孔質化42し、多孔質Si42上に非多孔質単結晶化合物半導体層43を形成する(図4(b))。

【0075】次に、図4(c)に示すように、石英やガラスに代表される光透過性支持基板44と単結晶化合物半導体層43とを絶縁層45を介して室温で密着させた後、陽極接合、加圧、あるいは熱処理、あるいはこれらの組み合わせにより貼り合わせる。これにより、光透過性支持基板44と単結晶層43とは絶縁層45を介して強固に結合する。絶縁層45は単結晶化合物半導体層上、光透過性支持基板44上の少なくとも一方に形成する、あるいは絶縁性の薄板をはさみ3枚重ねで貼り合わせる。

【0076】次に、多孔質Si層43で基板を分割する(図4(d))。光透過性支持基板側は、多孔質Si42/単結晶化合物半導体層43/絶縁層45/光透過性支持基板44のような構造となる。

【0077】さらに、多孔質Si42を選択的に除去する。化合物半導体に対してSiのエッティング速度の速いエッティング液を用いて、多孔質Si42のみを化学エッティングして絶縁性基板45+44上に薄膜化した単結晶化合物半導体層43を残存させ形成する。

【0078】あるいは、単結晶化合物半導体層43を研磨ストップバーとして多孔質Si42を選択研磨で除去する。

【0079】図4(e)には、本発明で得られる半導体基板が示される。光透過性絶縁性基板45+44上に単結晶化合物半導体層43が平坦に、しかも均一に薄層化されて、ウェハ全域に、大面積に形成される。こうして

得られた半導体基板は、絶縁分離された電子素子作製という点から見ても好適に使用することができる。

【0080】絶縁介在層45はなくても良い。

【0081】第1のSi単結晶基板41は、残留多孔質Siを除去して、表面平坦性が許容できないほど荒れている場合には、表面平坦化を行なった後、再度第1のSi単結晶基板41として使用できる。

【0082】【実施態様例5】図5(a)に示すように、まず第1のSi単結晶基板51を用意して、その両面の表面層を多孔質化52、53し、両面の多孔質Si 10 52、53上に非多孔質単結晶半導体層54、55を形成する(図5(b))。

【0083】次に、図5(c)に示すように、2枚の支持基板56、57と単結晶半導体層54、55とをそれぞれ絶縁層58、59を介して室温で密着させた後、陽極接合、加圧、あるいは熱処理、あるいはこれらの組み合わせにより貼り合わせる。これにより、支持基板56、57と単結晶層54、55とは絶縁層58、59を介して強固に結合する。絶縁層58、59は単結晶半導体層54、55上、支持基板56、67上の少なくとも一方に形成する、あるいは絶縁性の薄板をはさみ5枚重ねで貼り合わせる。

【0084】次に、両多孔質Si層52、53で基板を三分割する(図5(d))。2枚の支持基板は、多孔質Si/単結晶半導体層/絶縁層/支持基板(52/54/58/56、および53/55/59/57)のような構造となる。

【0085】さらに、両多孔質Si層52、53を選択的に除去する。多孔質Si層52、53のみを選択的に化学エッティングして支持基板58/56および59/57上に薄膜化した単結晶半導体層54、55を残存させ形成する。

【0086】あるいは、単結晶半導体層54、55を研磨ストッパーとして多孔質Si層52、53を選択、研磨で除去する。

【0087】図5(e)には、本発明で得られる半導体基板が示される。支持基板上に単結晶化合物半導体層が平坦に、しかも均一に薄層化されて、ウェハ全域に、大面積に2体同時に形成される。こうして得られた半導体基板は、絶縁分離された電子素子作製という点から見て最も好適に使用することができる。

【0088】絶縁介在層58、59はなくても良い。

【0089】支持基板56、57は同一でなくても良い。

【0090】第1のSi単結晶基板51は、残留多孔質Siを除去して、表面平坦性が許容できないほど荒れている場合には、表面平坦化を行なった後、再度第1のSi単結晶51として使用できる。

【0091】

【実施例】

(実施例1) 625μmの厚みを持った比抵抗0.01Ω·cmのP型の6インチ径の第1の(100)単結晶Si基板を、HF溶液中において陽極化成を行った。

【0092】陽極化成条件は以下のとおりであった。

【0093】電流密度: 5 (mA·cm⁻²)

陽極化成溶液: HF : H₂O : C₂H₅OH = 1 : 1 : 1

時間: 12 (分)

多孔質Siの厚み: 10 (μm)

Porosity: 15 (%)

この基板を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にCVD (Chemical Vapour Deposition) 法により単結晶Siを1μmエピタキシャル成長した。成長条件は以下の通りである。

【0094】ソースガス: SiH₂Cl₂/H₂

ガス流量: 0.5/180 l/min

ガス圧力: 80 Torr

温度: 950℃

成長速度: 0.3 μm/min

さらに、このエピタキシャルSi層表面に熱酸化により100nmのSiO₂層を形成した。

【0095】該SiO₂層表面と別に用意した500nmのSiO₂層を形成したSi基板の表面とを重ね合わせ、接触させた後、900℃-2時間の熱処理をし、貼り合わせをおこなった。

【0096】貼り合わせたウェハの面に対して垂直方向に均一に十分な引っ張り力を加えたところ多孔質Si層が破壊しウェハは二分割され、多孔質Siが表出した。具体的には、貼り合わせたウェハの両面にプレートを接着剤を用いて接着し、該プレートを該プレートを互いに引き離す方向に移動せしめる治具に配した後、2つに引き離した。

【0097】その後、多孔質Si層を49%弗酸と30%過酸化水素水との混合液(1:5)で搅拌しながら選択エッティングした。単結晶Siはエッティングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッティングされ、完全に除去された。

【0098】非多孔質Si単結晶の該エッティング液に対するエッティング速度は、極めて低く、多孔質層のエッティング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッティング量(数十オングストローム程度)は実用上無視できる膜厚減少である。

【0099】すなわち、Si酸化膜上に1μmの厚みを持った単結晶Si層が形成できた。多孔質Siの選択エッティングによっても単結晶Si層には何ら変化はなかった。

【0100】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結

品性が維持されていることが確認された。

【0101】こうして、高品質な半導体層を有するSOI基板が得られた。更に、多孔質Si層を境に分離した他方のSi基板に残存する多孔質層を同様のエッチングにより除去した後、表面をボリッシングした。こうして得られたSi基板を用いて上述の工程を繰り返すことにより高品質な半導体層を有するSOI基板複数個が得られた。

【0102】(実施例2) 525μmの厚みを持った比抵抗0.01Ω·cmのP型の4インチ径の第1の(100)単結晶Si基板を、HF溶液中において陽極化成を行った。

【0103】陽極化成条件は以下のとおりであった。

【0104】電流密度: 7 (mA·cm⁻²)

陽極化成溶液: HF : H₂O : C₂H₅OH = 1 : 1 : 1

時間: 12 (分)

多孔質Siの厚み: 10 (μm)

Porosity: 15 (%)

この基板を酸素雰囲気中400℃で2時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にMBE (Molecular Beam Epitaxy) 法により単結晶Siを0.5μmエピタキシャル成長した。成長条件は以下の通りである。

【0105】温度: 700℃

圧力: 1 × 10⁻⁹ Torr

成長速度: 0.1 nm/sec

温度: 950℃

成長速度: 0.3 μm/min

さらに、このエピタキシャルSi層表面に熱酸化により100nmのSiO₂層を形成した。

【0106】該SiO₂層表面と別に用意した溶融石英基板の表面とを重ね合わせ、接触させた後、400℃-2時間の熱処理をし、貼り合わせをおこなった。

【0107】貼り合わせたウェハの面に対して垂直方向に均一に十分な圧力を加えたところ多孔質Si層が破壊しウェハは二分割され、多孔質Siが表出した。具体的には、貼り合わせたウェハの両面にプレートを接着剤を用いて接着し、該プレートを該プレートを実施例1で述べた治具に配した後、該プレートに圧力を加えることでSi層を破壊した。

【0108】その後、多孔質Si層をバッファード沸酸と30%過酸化水素水との混合液(1:5)で攪拌しながら選択エッチングする。単結晶Siはエッチングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッチングされ、完全に除去された。

【0109】非多孔質Si単結晶の該エッチング液に対するエッチング速度は、極めて低く、多孔質層のエッチ

ング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッチング量(数十オングストローム程度)は実用上無視できる膜厚減少である。

【0110】すなわち、溶融石英基板上に0.5μmの厚みを持った単結晶Si層が形成できた。多孔質Siの選択エッチングによっても単結晶Si層には何ら変化はなかった。

【0111】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0112】実施例1と同様にして、上述の工程を繰り返すことにより高品質な半導体層を有するSOI基板複数個が得られた。

【0113】(実施例3) 625μmの厚みを持った比抵抗0.01Ω·cmのP型あるいはN型の6インチ径の第1の(100)単結晶Si基板を、HF溶液中において陽極化成を行った。

【0114】陽極化成条件は以下のとおりであった。

【0115】電流密度: 7 (mA·cm⁻²)

陽極化成溶液: HF : H₂O : C₂H₅OH = 1 : 1 : 1

時間: 12 (分)

多孔質Siの厚み: 10 (μm)

Porosity: 15 (%)

この基板を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にMOCVD (Metal Organic Chemical Vapor Deposition) 法により単結晶GaAsを1μmエピタキシャル成長した。成長条件は以下の通りである。

【0116】ソースガス: TMG / AsH₃ / H₂

ガス圧力: 80 Torr

温度: 700℃

該GaAs層表面と別に用意した第2のSi基板の表面とを重ね合わせ、接触させた後、900℃-1時間の熱処理をし、貼り合わせをおこなった。この熱処理により両基板は強固に貼り合わされた。

【0117】貼り合わせたウェハに実施例2と同様にして圧力を加えたところ多孔質Si層が破壊しウェハは二分割され、多孔質Siが表出した。

【0118】その後、多孔質Si層を内壁の酸化膜を沸酸で除去した後、多孔質Siをエチレンジアミン+ピロカテコール+水(17ml:3g:8mlの比率)110℃でエッチングした。単結晶GaAsはエッチングされずに残り、単結晶GaAsをエッチ・ストップの材料として、多孔質Siは選択エッチングされ、完全に除去された。

【0119】単結晶GaAsの該エッチング液に対するエッチング速度は、極めて低く、実用上無視できる膜厚減少である。

【0120】すなわち、Si基板上に1μmの厚みを持つ単結晶GaAs層が形成できた。多孔質Siの選択エッティングによっても単結晶GaAs層には何ら変化はなかった。

【0121】透過電子顕微鏡による断面観察の結果、GaAs層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0122】実施例2と同様にして、上述の工程を繰り返し、高品質なGaAs層を配した複数の半導体基板が得られた。

【0123】支持基板として酸化膜付きのSi基板を用いることにより、絶縁膜上のGaAsも同様に作製できた。

【0124】(実施例4) 625μmの厚みを持った比抵抗0.01Ω·cmのP型あるいはN型の5インチ径の第1の(100)単結晶Si基板を、HF溶液中において陽極化成を行った。

【0125】陽極化成条件は以下のとおりであった。

【0126】電流密度：10(mA·cm⁻²)

陽極化成溶液：HF : H₂O : C₂H₅OH = 1 : 1 : 20

1.

時間：24(分)

多孔質Siの厚み：20(μm)

Porosity: 17(%)

この基板を酸素雰囲気中400℃で2時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にMBE(Molecular Beam Epitaxy)法により単結晶AlGaAsを0.5μmエピタキシャル成長した。

【0127】該AlGaAs層表面と別に用意した低融点ガラス基板の表面とを重ね合わせ、接触させた後、500℃-2時間の熱処理をし、貼り合わせをおこなった。この熱処理により両基板は強固に貼り合わされた。

【0128】貼り合わせたウェハ実施例2と同様にして圧力を加えたところ多孔質Si層が破壊しウェハは二分割され、多孔質Siが表出した。

【0129】その後、多孔質Siを硫酸溶液でエッティングした。単結晶AlGaAsはエッティングされずに残り、単結晶AlGaAsをエッチ・ストップの材料として、多孔質Siは選択エッティングされ、完全に除去された。

【0130】単結晶AlGaAsの該エッティング液に対するエッティング速度は、極めて低く、実用上無視できる膜厚減少である。

【0131】すなわち、ガラス基板上に0.5μmの厚みを持った単結晶AlGaAs層が形成できた。多孔質Siの選択エッティングによっても単結晶AlGaAs層には何ら変化はなかった。

【0132】透過電子顕微鏡による断面観察の結果、AlGaAs層には新たな結晶欠陥は導入されておらず、

良好な結晶性が維持されていることが確認された。実施例2と同様にして、上述の工程を繰り返すことにより高品質な半導体層を有する基板が複数個得られた。

【0133】(実施例5) 625μmの厚みを持った比抵抗0.01Ω·cmのP型あるいはN型の両面研磨の6インチ径の第1の(100)単結晶Si基板を、HF溶液中において両面に対して陽極化成を行った。

【0134】陽極化成条件は以下のとおりであった。

【0135】電流密度：5(mA·cm⁻²)

10 陽極化成溶液：HF : H₂O : C₂H₅OH = 1 : 1 : 1

時間：12×2(分)

多孔質Siの厚み：各10(μm)

Porosity: 15(%)

この基板を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。両面に形成した多孔質Si上にCVD(Chemical Vapor Deposition)法により単結晶Siをそれぞれ1μmエピタキシャル成長した。成長条件は以下の通りである。

【0136】ソースガス：SiH₂Cl₂/H₂

ガス流量：0.5/180 l/min

ガス圧力：80 Torr

温度：950℃

成長速度：0.3μm/min

さらに、このエピタキシャルSi層表面に熱酸化により100nmのSiO₂層を形成した。

【0137】該SiO₂層表面と別に用意した500nmのSiO₂層を形成した2枚のSi基板の表面とをそれぞれ重ね合わせ、接触させた後、600℃-2時間の熱処理をし、貼り合わせをおこなった。

【0138】実施例1の手法を用いて貼り合わせたウェハの面に対して垂直方向に十分な引っ張り力を加えたところ多孔質Si層が2層とも破壊しウェハは三分割され、多孔質Siが表出した。

【0139】その後、多孔質Si層を49%硫酸と30%過酸化水素水との混合液(1:5)で搅拌しながら選択エッティングする。単結晶Siはエッティングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッティングされ、完全に除去された。

【0140】非多孔質Si単結晶の該エッティング液に対するエッティング速度は、極めて低く、多孔質層のエッティング速度との選択比は十の五乗以上にも達し、比多孔質層におけるエッティング量(数十オングストローム程度)は実用上無視できる膜厚減少である。

【0141】すなわち、Si酸化膜上に1μmの厚みを持った単結晶Si層が2枚同時に形成できた。多孔質Siの選択エッティングによっても単結晶Si層には何ら変化はなかった。

【0142】透過電子顕微鏡による断面観察の結果、S

i層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。実施例1と同様にして上述の工程を繰り返し、高品質な半導体層を有する基板複数個を得た。

【0143】(実施例6) 625μmの厚みを持った比抵抗0.01Ω·cmのP型あるいはN型の5インチ径の第1の(100)単結晶Si基板を、HF溶液中において陽極化成を行った。

【0144】陽極化成条件は以下のとおりであった。

【0145】電流密度: 7 (mA·cm⁻²)

陽極化成溶液: HF : H₂O : C₂H₅OH = 1 : 1 :

1

時間: 4 (分)

多孔質Siの厚み: 3 (μm)

Porosity: 15 (%)

さらに

電流密度: 30 (mA·cm⁻²)

陽極化成溶液: HF : H₂O : C₂H₅OH = 1 : 3 :

2

時間: 3 (分)

多孔質Siの厚み: 10 (μm)

Porosity: 45 (%)

この基板を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にCVD法により単結晶Siを0.3μmエピタキシャル成長した。成長条件は以下の通りである。

【0146】ソースガス: SiH₄

キャリヤーガス: H₂

温度: 850℃

圧力: 1×10⁻²Torr

成長速度: 3.3nm/sec

さらに、このエピタキシャルSi層表面に熱酸化により100nmのSiO₂層を形成した。

【0147】該SiO₂層表面と別に用意した500nmのSiO₂層を形成したSi基板の表面とを重ね合わせ、接触させた後、700℃-2時間の熱処理をし、貼り合わせをおこなった。

【0148】実施例1の手法を用いて、貼り合わせたウエハの面に対して垂直方向に十分な引っ張り力を加えたところで多孔質Si層が破壊しウエハは二分割され、多孔質Siが表出した。

【0149】その後、多孔質Si層をHF/HNO₃/CH₃COOH系のエッティング液で選択エッティングする。多孔質Siはエッティングされ、完全に除去された。

【0150】非多孔質Si単結晶の該エッティング液に対するエッティング速度は、極めて低く、非多孔質層におけるエッティング量は実用上無視できる膜厚減少である。

【0151】すなわち、Si酸化膜上に1μmの厚みを有した単結晶Si層が形成できた。多孔質Siの選択工

ッティングによっても単結晶Si層には何ら変化はなかった。

【0152】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。実施例1と同様にして上述の工程を繰り返し、高品質な半導体層を有する基板複数個を得た。

【0153】(実施例7) 625μmの厚みを持った比抵抗0.01Ω·cmのP型あるいはN型の6インチ径の第1の(100)単結晶Si基板を、HF溶液中において陽極化成を行った。

【0154】陽極化成条件は以下のとおりであった。

【0155】電流密度: 5 (mA·cm⁻²)

陽極化成溶液: HF : H₂O : C₂H₅OH = 1 : 1 :

1

時間: 12 (分)

多孔質Siの厚み: 10 (μm)

Porosity: 15 (%)

この基板を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にCVD (Chemical Vapour Deposition) 法により単結晶Siを1μmエピタキシャル成長した。成長条件は以下の通りである。

【0156】ソースガス: SiH₂Cl₂/H₂

ガス流量: 0.5 / 180 l/min

ガス圧力: 80 Torr

温度: 950℃

成長速度: 0.3 μm/min

30 さらに、このエピタキシャルSi層表面に熱酸化により100nmのSiO₂層を形成した。

【0157】該SiO₂層表面と別に用意した500nmのSiO₂層を形成したSi基板の表面とを重ね合わせ、接触させた後、900℃-2時間の熱処理をし、貼り合わせをおこなった。

【0158】実施例1の手法を用いて、貼り合わせたウエハの面に対して垂直方向に十分な引っ張り力を加えたところ多孔質Si層が破壊しウエハは二分割され、多孔質Siが表出した。

【0159】その後、多孔質Si層を単結晶Siをストップとして選択研磨した。多孔質Si選択研磨され、完全に除去された。

【0160】すなわち、Si酸化膜上に1μmの厚みを有した単結晶Si層が形成できた。多孔質Siの選択エッティングによっても単結晶Si層には何ら変化はなかった。

【0161】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。実施例1と同様にして上述の工程を繰り返し、高品質な半導体層を有

する基板複数個を得た。

【0162】(実施例8) 625μmの厚みを持った比抵抗0.01Ω·cmのP型あるいはN型の6インチ径の第1の(100)単結晶Si基板を、HF溶液中において陽極化成を行った。

【0163】陽極化成条件は以下のとおりであった。

【0164】電流密度: 5 (mA·cm⁻²)

陽極化成溶液: HF : H₂O : C₂H₅OH = 1 : 1 : 1

時間: 12 (分)

多孔質Siの厚み: 1.0 (μm)

Porosity: 15 (%)

この基板を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にCVD (Chemical Vapour Deposition) 法により単結晶Siを1μmエピタキシャル成長した。成長条件は以下の通りである。

【0165】ソースガス: SiH₂Cl₂/H₂

ガス流量: 0.5 / 180 l/min

ガス圧力: 80 Torr

温度: 950℃

成長速度: 0.3 μm/min

さらに、このエピタキシャルSi層表面に熱酸化により100nmのSiO₂層を形成した。

【0166】該SiO₂層表面と別に用意した500nmのSiO₂層を形成したSi基板の表面とを重ね合わせ、接触させた後、900℃-2時間の熱処理をし、貼り合わせをおこなった。次いで貼り合わせた基板を超音波振動子を配した層の中に入れ、超音波エネルギーを印加したところ多孔質Si層が破壊しウェハは二分割され、多孔質Siが表出した。

【0167】その後、多孔質Si層を49%弗酸と30%過酸化水素水との混合液(1:5)で搅はんしながら選択エッティングする。単結晶Siはエッティングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッティングされ完全に除去された。

【0168】非多孔質Si単結晶の該エッティング液にたいするエッティング速度は、極めて低く、多孔質層のエッティング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッティング量(数十オングストローム程度)は実用上無視できる膜厚減少である。

【0169】すなわち、Si酸化膜上に1μmの厚みを持った単結晶Si層が形成できた。多孔質Siの選択エッティングによっても単結晶Si層には何ら変化はなかった。

【0170】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0171】第1のSi単結晶基板は残留多孔質Siを50

除去して、再度第1のSi単結晶基板として使用した。

【0172】(実施例9) 525μmの厚みを持った比抵抗0.01Ω·cmのP型あるいはN型の4インチ径の第1の(100)単結晶Si基板を、HF溶液中において陽極化成を行った。

【0173】陽極化成条件は以下のとおりであった。

【0174】電流密度: 7 (mA·cm⁻²)

陽極化成溶液: HF : H₂O : C₂H₅OH = 1 : 1 : 1

時間: 12 (分)

多孔質Siの厚み: 1.0 (μm)

Porosity: 15 (%)

この基板を酸素雰囲気中400℃で2時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にMBE (Molecular Beam Epitaxy) 法により単結晶Siを0.5μmエピタキシャル成長した。成長条件は以下の通りである。

【0175】温度: 700℃

20 圧力: 1 × 10⁻⁹ Torr

成長速度: 0.1 nm/sec

温度: 950℃

成長速度: 0.3 μm/min

さらに、このエピタキシャルSi層表面に熱酸化により100nmのSiO₂層を形成した。

【0176】該SiO₂層表面と別に用意した溶融石英基板の表面とを重ね合わせ、接触させた後、400℃-2時間の熱処理をし、貼り合わせをおこなった。

【0177】ウェハ端面に多孔質層を表出させ、多孔質Siをある程度エッティングし、そこへ剃刀の刃のように鋭利な板を挿入したところ多孔質Si層が破壊しウェハは二分割され、多孔質Siが表出した。

【0178】その後、多孔質Si層をバッファード弗酸と30%過酸化水素水との混合液(1:5)で搅はんしながら選択エッティングする。単結晶Siはエッティングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッティングされ完全に除去された。

【0179】非多孔質Si単結晶の該エッティング液にたいするエッティング速度は、極めて低く、多孔質層のエッティング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッティング量(数十オングストローム程度)は実用上無視できる膜厚減少である。

【0180】すなわち、溶融石英基板上に0.5μmの厚みを持った単結晶Si層が形成できた。多孔質Siの選択エッティングによっても単結晶Si層には何ら変化はなかった。

【0181】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0182】エピタキシャルSi層表面に酸化膜を形成しなくても同様の結果が得られた。

【0183】第1のSi単結晶基板は残留多孔質Siを除去して、表面研磨を行い鏡面状にした後、再度第1のSi単結晶基板として使用した。

【0184】(実施例10) 625μmの厚みを持った比抵抗0.01Ω·cmのP型あるいはN型の両面研磨の6インチ径の第1の(100)単結晶Si基板を、HF溶液中において両面に対して陽極化成を行った。

【0185】陽極化成条件は以下のとおりであった。 10

【0186】電流密度: 5 (mA·cm⁻²)

陽極化成溶液: HF : H₂O : C₂H₅OH = 1 : 1 :

1

時間: 12×2 (分)

多孔質Siの厚み: 各 10 (μm)

Porosity: 15 (%)

この基板を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。両面に形成した多孔質Si上にCVD (Chemical Vapor Deposition) 法により 20 単結晶Siを1μmエピタキシャル成長した。成長条件は以下の通りである。

【0187】ソースガス: SiH₂Cl₂/H₂

ガス流量: 0.5/180 l/min

ガス圧力: 80 Torr

温度: 950℃

成長速度: 0.3 μm/min

さらに、このエピタキシャルSi層表面に熱酸化により 100 nmのSiO₂層を形成した。

【0188】該SiO₂層表面と別に用意した500nmのSiO₂層を形成した2枚のSi基板の表面とをそれぞれ重ね合わせ、接触させた後、600℃-2時間の熱処理をし、貼り合わせをおこなった。 30

【0189】ウェハ端面に多孔質層を表出させ、多孔層Siに水等の液体をしみ込ませた後、貼り合わせウェハ全体を加熱あるいは冷却したところ、液体の膨張等により多孔質Si層が破壊しウェハは二分割され、多孔質Siが表出した。

【0190】その後、多孔質Si層を49%硫酸と30%過酸化水素水との混合液(1:5)で攪拌しながら 40 選択エッティングする。単結晶Siはエッティングされずに残り、単結晶Siをエッチ・ストップの材料として、多孔質Siは選択エッティングされ完全に除去された。

【0191】非多孔質Si単結晶の該エッティング液に対するエッティング速度は、極めて低く、多孔質層のエッティング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッティング量(数十オングストローム程度)は実用上無視できる膜厚減少である。

【0192】すなわち、Si酸化膜上に1μmの厚みを持つ単結晶Si層が2枚同時に形成できた。多孔質Si 50

iの選択エッティングによっても単結晶Si層には何ら変化はなかった。

【0193】透過電子顕微鏡による断面観察の結果、Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0194】エピタキシャルSi層表面に酸化膜を形成しなくても同様の結果が得られた。

【0195】第1のSi単結晶基板は残留多孔質Siを除去して、表面を水素処理して平坦化した後、再度第1のSi単結晶基板として使用した。

【0196】(実施例11) 625μmの厚みを持った比抵抗0.01Ω·cmのP型あるいはN型の5インチ径の第1の(100)単結晶Si基板を、HF溶液中において陽極化成を行った。

【0197】陽極化成条件は以下のとおりであった。

【0198】電流密度: 7 (mA·cm⁻²)

陽極化成溶液: HF : H₂O : C₂H₅OH = 1 : 1 : 1

時間: 4 (分)

多孔質Siの厚み: 3 (μm)

Porosity: 15 (%)

さらに

電流密度: 30 (mA·cm⁻²)

陽極化成溶液: HF : H₂O : C₂H₅OH = 1 : 3 : 2

時間: 3 (分)

多孔質Siの厚み: 10 (μm)

Porosity: 45 (%)

この基板を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質Siの孔の内壁は熱酸化膜で覆われた。多孔質Si上にCVD法により単結晶Siを0.3μmエピタキシャル成長した。成長条件は以下の通りである。

【0199】ソースガス: SiH₄

キャリヤーガス: H₂

温度: 850℃

圧力: 1×10⁻² Torr

成長速度: 3.3 nm/sec

さらに、このエピタキシャルSi層表面に熱酸化により 100 nmのSiO₂層を形成した。

【0200】該SiO₂層表面と別に用意した500nmのSiO₂層を形成したSi基板の表面とを重ね合わせ、接触させた後、700℃-2時間の熱処理をし、貼り合わせをおこなった。

【0201】第1(あるいは第2)の基板に対して第2(あるいは第1)の基板に水平方向に力を加えたところ多孔質Si層は剪断応力に耐えきれず破壊しウェハは二分割され、多孔質Siが表出した。

【0202】その後、多孔質Si層をHF/HNO₃/CH₃COOH系のエッティング液で選択エッティングす

る。多孔質S iは選択エッティングされ完全に除去された。

【0203】非多孔質S i単結晶の該エッティング液にたいするエッティング速度は、極めて低く、非多孔質層におけるエッティング量は実用上無視できる膜厚減少である。

【0204】すなわち、S i酸化膜上に1μmの厚みをもつた単結晶S i層が形成できた。多孔質S iの選択エッティングによっても単結晶S i層には何ら変化はなかった。

【0205】透過電子顕微鏡による断面観察の結果、S i層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0206】エピタキシャルS i層表面に酸化膜を形成しなくとも同様の結果が得られた。

【0207】第1のS i単結晶基板は残留多孔質S iを除去して、再度第1のS i単結晶基板として使用した。

【0208】(実施例12) 6.25μmの厚みを持った比抵抗0.01Ω·cmのP型あるいはN型の5インチ径の第1の(100)単結晶S i基板を、HF溶液中にいて陽極化成を行った。

【0209】陽極化成条件は以下のとおりであった。

【0210】電流密度: 7 (mA·cm⁻²)

陽極化成溶液: HF : H₂O : C₂H₅OH = 1 : 1 : 1

時間: 4 (分)

多孔質S iの厚み: 3 (μm)

Porosity: 15 (%)

さらに

電流密度: 3.0 (mA·cm⁻²)

陽極化成溶液: HF : H₂O : C₂H₅OH = 1 : 3 : 2

時間: 3 (分)

多孔質S iの厚み: 1.0 (μm)

Porosity: 45 (%)

この基板を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質S iの孔の内壁は熱酸化膜で覆われた。多孔質S i上にCVD法により単結晶S iを0.3μmエピタキシャル成長した。成長条件は以下の通りである。

【0211】ソースガス: SiH₄

キャリヤガス: H₂

温度: 850℃

圧力: 1×10⁻²Torr

成長速度: 3.3nm/sec

さらに、このエピタキシャルS i層表面に熱酸化により100nmのSiO₂層を形成した。

【0212】該SiO₂層表面と別に用意した500nmのSiO₂層を形成したSi基板の表面とを重ね合わせ、接触させた後、700℃-2時間の熱処理をし、貼り合わせをおこなった。

【0213】ウェハ端面に多孔質層を表出させ、多孔質S iの選択エッティング液により端面から多孔質S i層をエッティングしたところウェハは二分割された。

【0214】その後、多孔質S i層をHF/HNO₃/CH₃COOH系のエッティング液で選択エッティングする。多孔質S iは選択エッティングされ完全に除去された。

【0215】非多孔質S i単結晶の該エッティング液にたいするエッティング速度は、極めて低く、非多孔質層におけるエッティング量は実用上無視できる膜厚減少である。

【0216】すなわち、S i酸化膜上に1μmの厚みをもつた単結晶S i層が形成できた。多孔質S iの選択エッティングによっても単結晶S i層には何ら変化はなかった。

【0217】透過電子顕微鏡による断面観察の結果、S i層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0218】エピタキシャルS i層表面に酸化膜を形成しなくとも同様の結果が得られた。

20 【0219】第1のS i単結晶基板は残留多孔質S iを除去して、再度第1のS i単結晶基板として使用した。

【0220】

【発明の効果】以上説明したように、本発明によれば、貼り合わせて構成された基体を多孔質層で分離し、非多孔質単結晶半導体層が配された第2の基体上の多孔質層を除去することにより、高品質な非多孔質単結晶半導体層が配された半導体基体を形成できる。

【0221】これに加えて、貼り合わせて構成された基体を多孔質層で分離し、第1の基体を構成する多孔質層を除去することにより、多孔質層を除去した第1の基体を半導体基体作製に再利用することができるため、半導体基体の生産性の向上、低コスト化が更に図れる。

【0222】また、本発明によれば、透明基板(光透過性基板)をはじめとする基板上に結晶性が単結晶ウェハー並に優れたS i等の単結晶層あるいは化合物半導体単結晶層を得るうえで、生産性、均一性、制御性、コストの面において卓越した半導体基板の作製方法を提案することができる。

40 【0223】また、本発明によれば、SOI構造の大規模集積回路を作製する際にも、高価なSOSや、SIMOXの代替足り得る半導体基板の作製方法を提案することができる。

【0224】また、本発明によれば、多孔質層を介して基体を2つ以上に分離することができ、分離後の一方の基体は、残留多孔質を除去した後、半導体基板として使用可能であり、他方の基体は、残留多孔質を除去した後、再度、半導体基板の作製に利用することができる。

【0225】また、本発明によれば、基体の両面に多孔質層および非多孔質単結晶層を形成し、該単結晶層を挟むように2枚の別の基体を貼り合わせた後、前記多孔質

層で基体を分離することにより同時に2枚の半導体基板を作製することができる。

【0226】すなわち、本発明によれば、経済性に優れて、大面積に渡り均一平坦な、極めて優れた結晶性を有する単結晶基板を用いて、表面に形成された半導体層あるいは化合物半導体活性層を残して、その片面から該活性層までを取り去り、絶縁物上に欠陥の著しく少ない単結晶層あるいは化合物半導体結晶層を得る半導体基板の作製方法を提供することができる。

【0227】また、透明基板（光透過性基板）上に結晶性が単結晶ウェハー並に優れたSiあるいは化合物半導体単結晶層を得るうえで、生産性、均一性、制御性、コストの面において卓越した半導体基板の作製方法を得ることができる。

【0228】また、SOI構造の大規模集積回路を作製する際にも、高価なSOSや、SIMOXの代替足り得る半導体基板の作製方法を得ることができる。

【図面の簡単な説明】

【図1】本発明の方法の1例を説明するための模式的断面図である。

【図2】本発明の方法の1例を説明するための模式的断面図である。

【図3】本発明の方法の1例を説明するための模式的断面図である。

【図4】本発明の方法の1例を説明するための模式的断面図である。

【図5】本発明の方法の1例を説明するための模式的断面図である。

【符号の説明】

1 1 Si単結晶基板

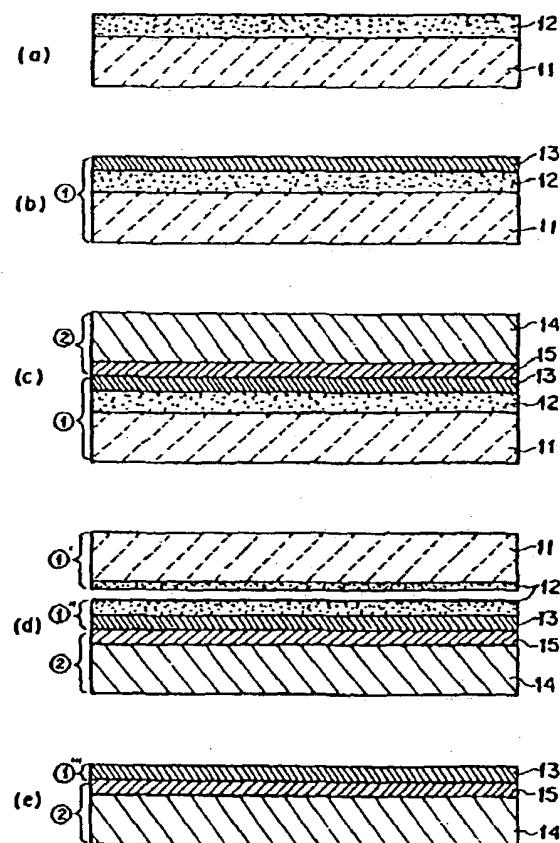
1 2 多孔質Si層

1 3 非多孔質単結晶Si層

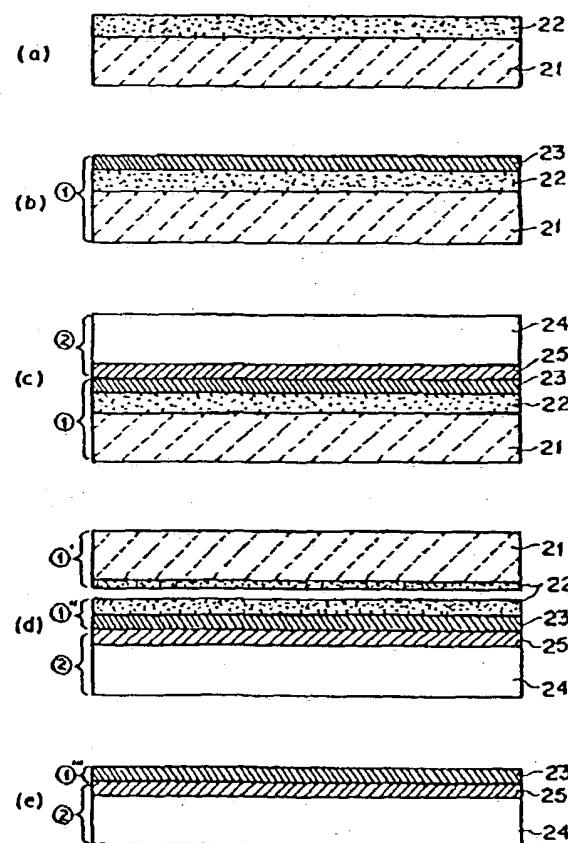
1 4 Si支持基板

1 5 絶縁層

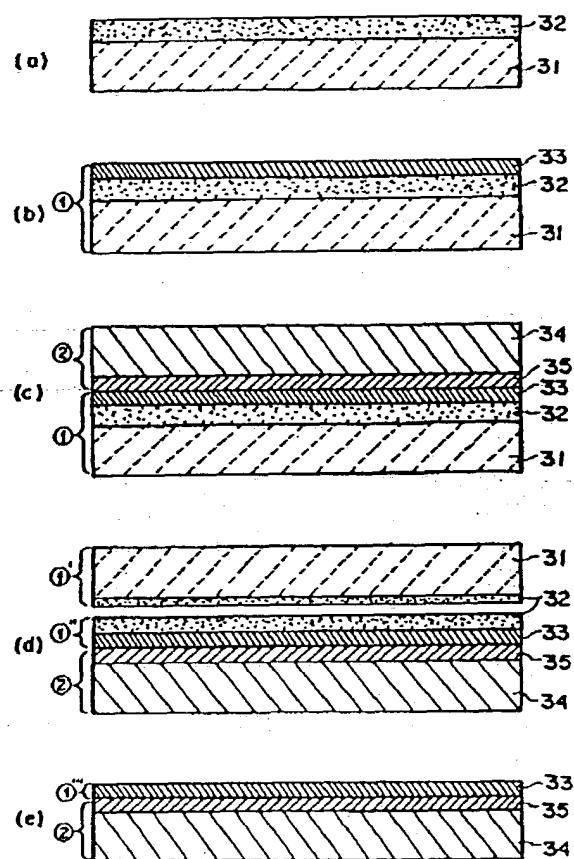
【図1】



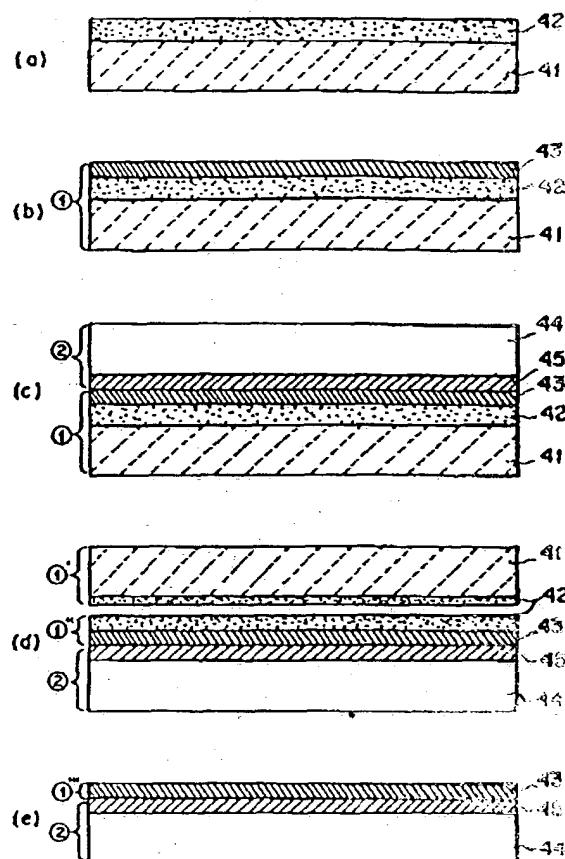
【図2】



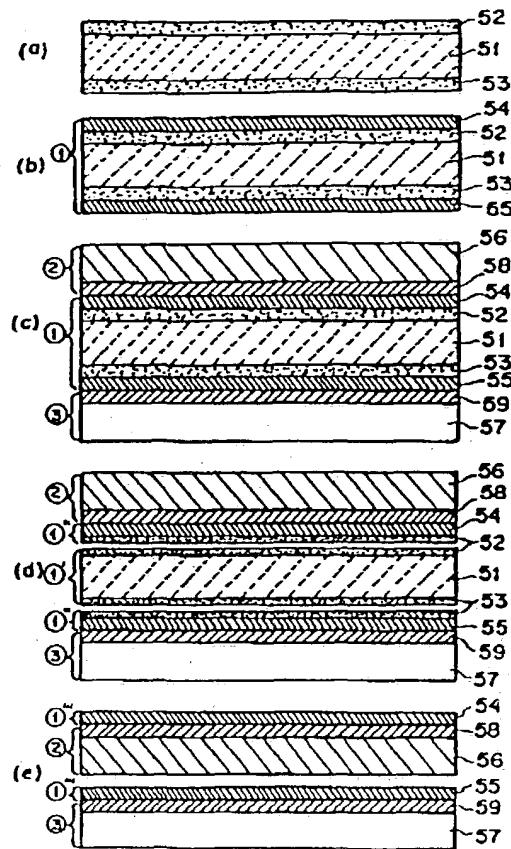
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl. 6

H 01 L 21/762

23/12

23/15

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 23/14

C

(54) SEMICONDUCTOR MEMBER AND MANUFACTURE THEREOF

(11) 5-21338 (A) (43) 29.1.1993 (19) JP
(21) Appl. No. 3-194138 (22) 2.8.1991 (33) JP (31) 90p.206548 (32) 3.8.1990
(71) CANON INC (72) TAKAO YONEHARA
(51) Int. Cl^s: H01L21/20,C30B19/00,C30B23/08,C30B25/02,H01L21/02,H01L21/306,
H01L21/316,H01L21/76,H01L27/12//H01L21/304

PURPOSE: To form a semiconductor member having a single crystal which has excellent crystallinity on an insulator by adhering a surface of a member formed on its surface of insulating substance, on the surface of a nonporous single crystalline semiconductor region formed on a porous single crystalline semiconductor region.

CONSTITUTION: First, a P-type Si single crystalline base is made porous. A thin film single crystalline layer 22 is formed on the surface of a porous substrate 21. Then, another Si substrate 23 is prepared, and an oxide film 24 is formed on the surface. The substrate 23 having the oxide layer 24 on the surface is adhered on the surface of the layer 22 on the substrate 21. Thereafter, the entire substrate 21 is removed by etching, and the layer 22 reduced in thickness remains on the layer 24. Thus, oxidation expansion of the porous semiconductor layer is prevented to prevent influence of distortion to an epitaxially grown single crystal. Further, the layer 22 having excellent crystallinity is flatly formed uniformly in a reduced thickness on the layer 24 of an insulator.

